

Record Display Form

N/11/11 Page 1 of

[First Hit](#) [Previous Doc](#) [Next Doc](#) [Go to Doc#](#)

End of Result Set

☐ [Generate Collection](#) [Print](#)

L1: Entry 1 of 1

File: JPAB

Jul 21, 1995

PUB-NO: JP407182796A

DOCUMENT-IDENTIFIER: JP 07182796/A

TITLE: DISK REPRODUCING DEVICE

PUBN-DATE: July 21, 1995

INVENTOR-INFORMATION:

NAME	COUNTRY
SHIMADA, HIROSHI	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA CORP	

APPL-NO: JP06262763

APPL-DATE: October 26, 1994

INT-CL (IPC): G11 B 20/14

ABSTRACT:

PURPOSE: To obtain a data reproducing device which can vary continuously a reproducing speed of data, can surely slice data in accordance with a reproducing speed, and can prevent variation of reproducing performance by a reproducing speed.

CONSTITUTION: A PLL circuit 5 generates a clock signal PLCK synchronizing with a reproducing speed of data based on an EFM signal outputted from a data slice circuit 4, a data processing circuit demodulates the EFM signal using a clock signal PLCK, and variation of a time base of this demodulated data is eliminated. Therefore, a reproducing speed of data can be continuously varied. Furthermore, since the data slice circuit 4 generates the binarized standard voltage based on the clock signal PLCK, data can be surely sliced in accordance with a reproducing speed, and variation of reproducing performance caused by a reproducing speed can be prevented.

COPYRIGHT: (C)1995,JPO

[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-182796

(43) 公開日 平成7年(1995)7月21日

(51) Int.Cl.⁶

G 1 1 B 20/14

識別記号

3 2 1 A 7736-5D

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 8 O L (全 9 頁)

(21) 出願番号 特願平6-262763

(22) 出願日 平成6年(1994)10月26日

(31) 優先権主張番号 特願平5-305861

(32) 優先日 平5(1993)11月11日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 島田 浩

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

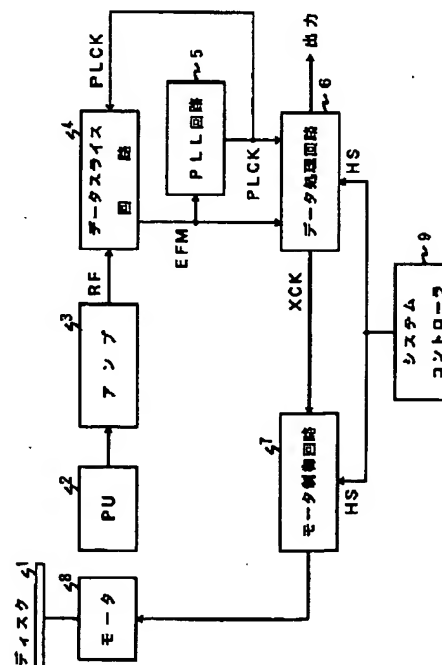
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 ディスク再生装置

(57) 【要約】

【目的】この発明の目的は、データの再生速度を連続的に可変でき、しかも、再生速度に対応して確実にデータをスライスでき、再生速度によって再生性能が変化することを防止可能なデータ再生装置を提供する。

【構成】PLL回路(5)はデータスライス回路(4)から出力されるEFM信号に基づいて、データの再生速度に同期したクロック信号(PLCK)を生成し、データ処理回路はこのクロック信号(PLCK)を用いてEFM信号を復調し、この復調されたデータの時間軸の変動を除去している。したがって、データの再生速度を連続的に可変できる。しかも、データスライス回路(4)はクロック信号(PLCK)に基づいて2値化の基準電圧を生成しているため、再生速度に対応して確実にデータをスライスでき、再生速度によって再生性能が変化することを防止できる。



1

【特許請求の範囲】

【請求項1】ディスクに記録されたデータを光学的に読み出し、電気信号に変換する光電変換手段と、前記光電変換手段から供給される電気信号を増幅する増幅器と、前記増幅器から供給される電気信号を2値化し、EFM信号を生成するデータスライス回路と、前記データスライス回路から供給されるEFM信号に基づき、データの再生速度の変化に応じたクロック信号を生成するPLL回路と、前記PLL回路から供給されるクロック信号に応じて、前記データスライス回路から供給される前記EFM信号を復調し、データを再生するデータ処理回路とを備え、前記データスライス回路は、前記増幅器から供給される前記電気信号と基準電圧とを比較し、前記電気信号と基準電圧とに応じてデータ“0”とデータ“1”のうちの1つデータを出力する比較器と、前記PLL回路から供給されるクロック信号を分周し、カウント用のクロック信号を生成する分周器と、前記比較器から供給されるデータ“0”の期間とデータ“1”の期間に応じて、前記分周器から供給されるカウント用のクロック信号をカウントし、これらの差分データを出力するアップダウンカウンタと、前記アップダウンカウンタから出力される前記差分データが供給され、この差分データをアナログ電圧に変換し、前記基準電圧として前記比較器に供給するデジタル／アナログ変換器とを具備することを特徴とするディスク再生装置。

【請求項2】ディスクに記録されたデータを光学的に読み出し、電気信号に変換する光電変換手段と、前記光電変換手段から供給される電気信号を2値化し、EFM信号を生成するデータスライス回路と、前記データスライス回路から供給されるEFM信号に基づき、データの再生速度の変化に応じたクロック信号を生成するPLL回路と、前記PLL回路から供給されるクロック信号に応じて、前記データスライス回路から供給される前記EFM信号を復調し、データを再生するデータ処理回路とを備え、前記データスライス回路は、前記PLL回路から供給されるクロック信号に基づいてクロック信号を生成する第1のクロック信号生成器と、水晶振動子によって発生された基準クロック信号に基づいてクロック信号を生成する第2のクロック信号生成器と、前記第1、第2のクロック信号生成器に接続され、第1、第2のクロック信号生成器から出力されるクロック信号のうちの1つを選択するスイッチと、前記光電変換手段から供給される前記電気信号と基準電圧とを比較し、前記電気信号と基準電圧とに応じてデータ“0”とデータ“1”のうちの1つデータを出力する比較器と、前記PLL回路から供給されるクロック信号に応じて、前記データスライス回路から供給される前記EFM信号を分周する分周器によって構成され、前記第2のクロック信号生成器は水晶振動子によって発生された基準クロック信号を分周する分周器によって構成されていることを特徴とする請求項2に記載のディスク再生装置。

【請求項3】前記第1のクロック信号生成器は、前記PLL回路から供給されるクロック信号を分周する分周器によって構成され、前記第2のクロック信号生成器は水晶振動子によって発生された基準クロック信号を分周する分周器によって構成されていることを特徴とする請求項2に記載のディスク再生装置。

【請求項4】ディスクに記録されたデータを光学的に読み出し、電気信号に変換する光電変換手段と、前記光電変換手段から供給される電気信号を2値化し、EFM信号を生成するデータスライス回路と、前記データスライス回路から供給されるEFM信号に基づき、データの再生速度の変化に応じたクロック信号を生成するPLL回路と、前記PLL回路から供給されるクロック信号に応じて、前記データスライス回路から供給される前記EFM信号を復調し、データを再生するデータ処理回路とを備え、前記データスライス回路は、前記光電変換手段から供給される前記電気信号と基準電圧とを比較し、前記電気信号と基準電圧とに応じてデータ“0”とデータ“1”のうちの1つデータを出力する比較器と、前記PLL回路から供給されるクロック信号に基づいて、前記比較器から供給されるデータ“0”の期間とデータ“1”の期間の差分データを検出する検出手段と、前記検出手段から出力される前記差分データが供給され、この差分データから前記基準電圧を生成し、前記比較器に供給する電圧生成手段とを具備することを特徴とするディスク再生装置。

【請求項5】ディスクに記録されたデータを電気信号として読み出す読み出し手段と、前記読み出し手段から供給される電気信号を2値化し、EFM信号を生成するデータスライス回路と、前記データスライス回路から供給されるEFM信号に基づき、データの再生速度の変化に応じたクロック信号を生成するPLL回路と、前記PLL回路から供給されるクロック信号に応じて、前記データスライス回路から供給される前記EFM信号を復調し、データを再生するデータ処理回路とを備え、前記データスライス回路は、

2

タ“0”とデータ“1”のうちの1つデータを出力する比較器と、前記比較器から出力されるデータ“0”の期間とデータ“1”の期間に応じて、前記スイッチから供給されるクロック信号をカウントし、これらの差分データを出力するアップダウンカウンタと、前記アップダウンカウンタから出力される前記差分データが供給され、この差分データをアナログ電圧に変換し、前記基準電圧として前記比較器に供給するデジタル／アナログ変換器とを具備することを特徴とするディスク再生装置。

【請求項3】前記第1のクロック信号生成器は、前記PLL回路から供給されるクロック信号を分周する分周器によって構成され、前記第2のクロック信号生成器は水晶振動子によって発生された基準クロック信号を分周する分周器によって構成されていることを特徴とする請求項2に記載のディスク再生装置。

【請求項4】ディスクに記録されたデータを光学的に読み出し、電気信号に変換する光電変換手段と、前記光電変換手段から供給される電気信号を2値化し、EFM信号を生成するデータスライス回路と、前記データスライス回路から供給されるEFM信号に基づき、データの再生速度の変化に応じたクロック信号を生成するPLL回路と、前記PLL回路から供給されるクロック信号に応じて、前記データスライス回路から供給される前記EFM信号を復調し、データを再生するデータ処理回路とを備え、前記データスライス回路は、前記光電変換手段から供給される前記電気信号と基準電圧とを比較し、前記電気信号と基準電圧とに応じてデータ“0”とデータ“1”のうちの1つデータを出力する比較器と、前記PLL回路から供給されるクロック信号に基づいて、前記比較器から供給されるデータ“0”の期間とデータ“1”の期間の差分データを検出する検出手段と、前記検出手段から出力される前記差分データが供給され、この差分データから前記基準電圧を生成し、前記比較器に供給する電圧生成手段とを具備することを特徴とするディスク再生装置。

【請求項5】ディスクに記録されたデータを電気信号として読み出す読み出し手段と、前記読み出し手段から供給される電気信号を2値化し、EFM信号を生成するデータスライス回路と、前記データスライス回路から供給されるEFM信号に基づき、データの再生速度の変化に応じたクロック信号を生成するPLL回路と、前記PLL回路から供給されるクロック信号に応じて、前記データスライス回路から供給される前記EFM信号を復調し、データを再生するデータ処理回路とを備え、前記データスライス回路は、

前記ディスクから読み出されたデータに対応する電気信号と基準電圧とを比較し、前記電気信号と基準電圧とに応じてデータ“0”とデータ“1”のうちの1つデータを出力する比較器と、

前記比較器から供給されるデータ“0”の期間とデータ“1”の期間に応じて、前記PLL回路から供給されるクロック信号をカウントし、これらの差分データを出力するアップダウンカウンタと、

前記アップダウンカウンタから出力される前記差分データが供給され、この差分データをアナログ電圧に変換し、前記基準電圧として前記比較器に供給するデジタル／アナログ変換器とを具備することを特徴とするディスク再生装置。

【請求項6】前記データ処理回路は、前記データスライス回路から供給される前記EFM信号を復調する第1の復調器と、

前記第1の復調器から出力されるデータを記憶するメモリと、

前記PLL回路から供給されるクロック信号に応じて、前記第1の復調器の出力データを前記メモリに書き込み、前記クロック信号に応じて、前記メモリに書き込まれたデータを読み出す制御部と、

前記PLL回路から供給されるクロック信号に応じて、前記制御部から出力されるデータの誤りを訂正する誤り訂正回路とを具備することを特徴とする請求項1、2、4、5のいずれかに記載のディスク再生装置。

【請求項7】ディスクに記録されたデータを電気信号として読み出す読み出し手段と、

前記読み出し手段から供給される電気信号を2値化し、EFM信号を生成するデータスライス回路と、

前記データスライス回路から供給されるEFM信号に基づき、データの再生速度の変化に応じたクロック信号を生成するPLL回路と、

前記PLL回路から供給されるクロック信号に応じて、前記データスライス回路から供給される前記EFM信号を復調し、データを再生するデータ処理回路とを備え、前記データ処理回路は、

前記データスライス回路から供給される前記EFM信号を復調する第1の復調器と、

前記第1の復調器から出力されるデータを記憶するメモリと、

前記PLL回路から供給されるクロック信号に応じて、前記第1の復調器の出力データを前記メモリに書き込み、前記クロック信号に応じて、前記メモリに書き込まれたデータを読み出す制御部と、

前記PLL回路から供給されるクロック信号に応じて、前記制御部から出力されるデータの誤りを訂正する誤り訂正回路とを有し、

前記データスライス回路は、

前記ディスクから読み出されたデータに対応する電気信

号と基準電圧とを比較し、前記電気信号と基準電圧とに応じてデータ“0”とデータ“1”のうちの1つデータを出力する比較器と、

前記比較器から供給されるデータ“0”の期間とデータ“1”の期間に応じて、前記PLL回路から供給されるクロック信号をカウントし、これらの差分データを出力するアップダウンカウンタと、

前記アップダウンカウンタから出力される前記差分データが供給され、この差分データをアナログ電圧に変換し、前記基準電圧として前記比較器に供給するデジタル／アナログ変換器とを具備することを特徴とするディスク再生装置。

【請求項8】前記第1の復調器の出力データからサブコードデータを復調する第2の復調器を具備することを特徴とする請求項6、7に記載のディスク再生装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、コンパクトディスク(CD: compact disk)等の光学的なディスク再生装置に関するものであり、特に、再生速度を連続的に可変できる再生装置のデータスライス回路に関する。

【0002】

【従来の技術】音響機器の分野では、現在、デジタル記録再生システムが開発されている。このシステムは、高密度で忠実度の高い記録再生を行うため、オーディオ信号をPCM(Pulse Code Modulation)技術によりデジタル信号に変換して、例えばディスクや磁気テープなどの記録媒体に記録し、これを再生する。特に、直径12cmのディスクにデジタルデータに対応したビット列を形成し、これを光学式に読み取るCDは、現在最も普及している。

【0003】このCDには、主にアナログオーディオ信号を16ビットでPCM化したデジタルデータ(主情報データ)が記憶されている。このデジタルデータは、8ビットを1シンボルとし、24シンボルを1フレームとし、このフレームが繰り返されてデータが記憶される。このディスクでは、誤り訂正符号としてクロスインターリーブ・リードソロモン符号(CIRC: Cross Interleave Reed-Solomon Code)が用いられている。

【0004】すなわち、24シンボルのデジタルデータは、C2系列パリティ生成回路に供給されて4シンボルのC2系列誤り訂正用のパリティデータQが生成される。前記デジタルデータとパリティデータQはインターリブ回路を経てC1系列パリティ生成回路に供給され、4シンボルのC1系列誤り訂正用パリティデータPが生成される。24シンボルのデジタルデータと4シンボルのパリティデータP、Qよりなる32シンボルのデータは、8ビット(1シンボル)のサブコードデータが付加される。このサブコードデータ及び32シンボルのデータはEFM変調(Eight to Fourteen Modulation)され

る。この変調された14ビットの各シンボル間に3ビットのマージンビットが付加され、さらに、先頭に24ビットのフレーム同期信号が付加される。このようにして588ビットのデータが1フレームとしてディスクに記録される。この場合、ビットクロックが4.32MHzであるため、1フレーム当たり136μsec(7.35kHz)でディスクに記録される。サブコードデータは、98フレームで1サブコードフレームが構成されており、1サブコードフレーム当り75Hz(10.3msec)でディスクに記録される。

【0005】上記CDからデータを再生するディスク再生装置は、CDをモータ制御回路及びモータによって線速度一定(CLV: Constant Linear Velocity)で回転させる。半導体レーザや光電変換素子などを内蔵した光学式ピックアップ素子はディスクの内周側から外周側に向けてリニアトラッキングすることにより、CDに記録されたデータを読み取る。この読み取ったデータ(電流信号)はアンプに供給される。このアンプは、電流信号を電圧信号としての広帯域の信号(以下、RF信号と称す)に変換し、データスライス回路に供給する。データスライス回路は再生信号を2値化し、EFM信号としてPLL回路(Phase Locked Loop circuit)及びデータ処理回路に供給する。このデータ処理回路は、EFM信号から同期信号を分離した後EFM復調し、パリティデータP、Qを含む32シンボルのデータ成分とサブコードデータ成分とに分離する。ついで、EFM復調されたデータは、データ処理回路において、PLL回路で生成されたクロック信号によりメモリへ書き込まれる。このメモリに書き込まれたデータは水晶振動子を用いて生成した水晶系のシステム基準クロック信号によりメモリから読み出されることによって、モータによる時間軸変動が吸収される。このメモリから読み出されたデータは誤り訂正された後、16ビットのデジタルデータとして出力される。

【0006】再生速度の可変はシステムコントローラが行う。システムコントローラは再生速度コントロール信号(以下、HS信号と称す)を生成する。このHS信号は例えば通常の再生速度(1倍速と称す)又は基準速度の2倍の速度(2倍速と称す)を指定する。このHS信号はデータ処理回路、モータ制御回路に供給され、処理速度及びディスク再生速度を目的の速度に切り換える。HS信号はデータスライス回路にも供給され、データスライス回路はHS信号に応じて制御周波数帯域を再生速度に対応して変化させている。

【0007】

【発明が解決しようとする課題】ところで、ディスクは通常線速度一定(CLV)で回転しているため、ディスクの内周をアクセスする場合、ディスクは角速度が約500rpmで回転され、ディスクの外周をアクセスする場合、ディスクは角速度が約200rpmで回転される。し

たがって、ディスクの内周を再生した後、外周をサーチした場合、モータの回転数を1/2倍以下に減速する必要がある。また逆に、ディスクの外周を再生した後、内周をサーチした場合、モータの回転数を2倍以上に加速する必要がある。

【0008】一方、近時デジタル記録再生システムとして、CD-ROMが注目されている。CD-ROMには、オーディオ信号と画像情報やキャラクタコードなどのROMデータが混在して記録されている。CD-ROMに記録されたオーディオ信号を読み取る場合、ディスクは1倍速で再生される。また、ROMデータを読み取る場合、データをできるだけ速く読み取るため、例えば2倍速で高速に再生される。

【0009】このように、CDやCD-ROMを再生する場合、再生速度を1倍速から2倍速、あるいはその逆へと頻繁に切換える必要がある。再生速度を切換えた場合、ディスクの回転速度が一定とならない間は安定してデータを再生できないため、再生が中断される。速度切換えに伴う再生の中断は、再生装置の性能を著しく低下させる。性能を改善するためには高性能なモータを使用することもできる。しかし、この場合大幅なコストアップとなる。

【0010】上記のように、従来のディスク再生装置において、再生速度は連続的には変化せず、例えば1倍速または2倍速の2種の再生速度を非連続的に切換えていた。このため、前記データスライス回路は制御帯域を2種の再生速度に対応して切換えていた。すなわち、上記従来のデータスライス回路は、比較器で入力されたRF信号と基準電圧とを比較し、RF信号を2値データに変換する。アップダウンカウンタは、この2値化されたデータ“0”の期間とデータ“1”の期間とをカウントし、その期間の差分データを出力する。

【0011】前記アップダウンカウンタのカウント用クロックは、前記水晶系のシステム基準クロックから生成したクロック信号である。このクロック信号はデータスライス回路の基準電圧の制御帯域が最適になる周波数であり、再生速度が1倍速の時、このクロック信号がアップダウンカウンタに供給され、2倍速の時、このクロック信号の2倍の周波数のクロック信号がアップダウンカウンタに供給される。

【0012】前記アップダウンカウンタから出力される差分データはデジタル/アナログ変換器に供給される。このデジタル/アナログ変換器は前記差分データをアナログ電圧に変換し、前記基準電圧として前記比較器にフィードバックする。前記比較器はこのフィードバックされた基準電圧によって、RF信号を2値化することにより、データ“0”の期間とデータ“1”の期間が等しくなるように制御する。

【0013】このように、データスライス回路は、データ“1”の期間とデータ“0”の期間が等しくなるよう

にカウント結果をフィードバックしている。このフィードバックループの帯域が低すぎると、ディスクにキズなどがあり、RF信号の振幅が変化した場合、スライスレベルが追従できないことになる。逆に帯域が高すぎるとスライスレベルが微小なRF信号の振幅に追従して変化するため、スライス後のEFM信号のジッターが増加してしまう。そこで、ループ帯域が最適になるようにクロック信号の分周比を調整する必要がある。

【0014】しかし、データスライス回路の制御帯域は、前述したように2段階にしか可変できない。このため、再生速度を連続的に変化させた場合、特性を全ての再生速度に対応させることができず、その結果、あらゆる再生速度に対して再生の性能を一定に保つことができないという問題があった。

【0015】この発明は、上記課題を解決するものであり、再生速度を連続的に可変することができ、且つ、再生速度を連続的に可変した場合においても、再生速度に対応して確実にデータをスライスすることが可能なディスク再生装置を提供しようとするものである。

【0016】

【課題を解決するための手段】この発明は、ディスクに記録されたデータを光学的に読み出し、電気信号に変換する光電変換手段と、前記光電変換手段から供給される電気信号を2値化し、EFM信号を生成するデータスライス回路と、前記データスライス回路から供給されるEFM信号に基づき、データの再生速度の変化に応じたクロック信号を生成するPLL回路と、前記PLL回路から供給されるクロック信号に応じて、前記データスライス回路から供給される前記EFM信号を復調し、データを再生するデータ処理回路とを備え、前記データスライス回路は、前記光電変換手段から供給される前記電気信号と基準電圧とを比較し、前記電気信号と基準電圧とに応じてデータ“0”とデータ“1”のうちの1つデータを出力する比較器と、前記PLL回路から供給されるクロック信号に基づいて、前記比較器から供給されるデータ“0”の期間とデータ“1”の期間の差分データを検出する検出手段と、前記検出手段から出力される前記差分データが供給され、この差分データから前記基準電圧を生成し、前記比較器に供給する電圧生成手段とを具備している。

【0017】また、前記データスライス回路は、前記光電変換手段から供給される前記電気信号と基準電圧とを比較し、前記電気信号と基準電圧とに応じてデータ“0”とデータ“1”のうちの1つデータを出力する比較器と、前記比較器から供給されるデータ“0”の期間とデータ“1”の期間に応じて、前記PLL回路から供給されるクロック信号をカウントし、これらの差分データを出力するアップダウンカウンタと、前記アップダウンカウンタから出力される前記差分データが供給され、この差分データをアナログ電圧に変換し、前記基準電圧

として前記比較器に供給するデジタル/アナログ変換器とによって構成される。

【0018】さらに、データスライス回路は、PLL回路から供給されるクロック信号に基づいてクロック信号を生成する第1のクロック信号生成器と、水晶振動子によって発生された基準クロック信号に基づいてクロック信号を生成する第2のクロック信号生成器と、前記第1、第2のクロック信号生成器に接続され、第1、第2のクロック信号生成器から出力されるクロック信号のうちの1つを選択するスイッチと、前記光電変換手段から供給される前記電気信号と基準電圧とを比較し、前記電気信号と基準電圧とに応じてデータ“0”とデータ

“1”のうちの1つデータを出力する比較器と、前記比較器から出力されるデータ“0”の期間とデータ“1”の期間に応じて、前記スイッチから供給されるクロック信号をカウントし、これらの差分データを出力するアップダウンカウンタと、前記アップダウンカウンタから出力される前記差分データが供給され、この差分データをアナログ電圧に変換し、前記基準電圧として前記比較器に供給するデジタル/アナログ変換器とによって構成できる。

【0019】また、データ処理回路は、前記データスライス回路から供給される前記EFM信号を復調する復調器と、前記復調器から出力されるデータを記憶するメモリと、前記PLL回路から供給されるクロック信号に応じて、前記復調器の出力データを前記メモリに書き込み、前記クロック信号に応じて、前記メモリに書き込まれたデータを読み出す制御部と、前記PLL回路から供給されるクロック信号に応じて、前記制御部から出力されるデータの誤りを訂正する誤り訂正回路とによって構成される。

【0020】

【作用】すなわち、この発明のデータスライス回路は光電変換手段から供給される電気信号を2値化し、EFM信号を生成する。PLL回路はデータスライス回路から供給されるEFM信号に基づきクロック信号を生成する。データ処理回路はPLL回路から供給されるクロック信号に応じて、データスライス回路から供給されるEFM信号を復調し、この復調されたデータの時間軸の変動を除去するとともに、誤りを訂正しデータを再生する。前記クロック信号はデータの再生速度の変化に同期している。したがって、データの再生速度を連続的に可変できる。

【0021】しかも、データスライス回路はPLL回路から供給されるクロック信号を検出手段としてのアップダウンカウンタのカウント用クロックとして用いている。したがって、このアップダウンカウンタから出力される差分データを用いて生成したデータをスライスするための基準電圧の制御帯域は、再生速度に合わせて連続的に変化するため、再生速度を連続的に可変した場合に

においても、再生速度に対応して確実にデータをスライスでき、再生速度によって再生性能が変化することを防止できる。

【0022】

【実施例】以下、この発明の実施例について図面を参照して説明する。

【0023】図1において、ディスク1はモータ8により線速度一定(CLV)で駆動される。半導体レーザや光電変換素子などを内蔵した光学式ピックアップ(PU)2は、ディスク1に記録されたデータを読み取る。このPU2から出力される電流信号としてのデータは、広帯域のアンプ3に供給される。このアンプ3は供給されたデータを増幅し、電圧信号としてのRF信号を出力する。このRF信号はデータスライス回路4に供給される。このデータスライス回路4はRF信号を2値化し、これをEFM信号に変換する。このEFM信号はデータ処理回路6及びPLL回路5に供給される。

【0024】前記PLL回路5は、EFM信号に同期したPLLクロック信号(PLCK)を生成する。このPLLクロック信号PLCKの中心周波数は、EFM信号のビットレート(4.3218MHz)の4倍の周波数(17.2872MHz)である。このPLLクロック信号PLCKは、前記EFM信号のビットレートを4分周して生成され、PLLクロック信号PLCKがRF信号に同期しているとき、PLLクロック信号の周波数は再生速度に比例している。このPLLクロック信号PLCKは、EFM信号と共にデータ処理回路6へ供給される。さらに、この発明において、前記PLLクロック信号PLCKは、前記データスライス回路4に供給され、基準電圧の制御帯域を再生速度に応じて制御可能としている。

【0025】前記データ処理回路6は、EFM復調、サブコード復調、誤り訂正処理などを行い、その出力信号を図示せぬD/A変換器へ供給する。このD/A変換器の出力は、図示せぬローパスフィルタへ供給され、このローパスフィルタからオーディオ信号が出力される。さらに、データ処理回路6は図示せぬ水晶振動子を用いてシステム基準クロック信号XCKを発生する。

【0026】また、モータ制御回路7は、データ処理回路6から供給されるシステム基準クロックによってモータ8を制御し、再生速度を一定に保っている。再生速度は、システムコントローラ9から供給される再生速度コントロール信号(HS信号)を用いて変化される。すなわち、システムコントローラ9は操作者によって指定された通常再生や早送り再生、あるいはディスクの再生位置に応じて、HS信号を1倍速または2倍速、あるいは4倍速等に設定する。このHS信号はデータ処理回路6及びモータ制御回路7に供給され、データ処理回路6及びモータ制御回路7はHS信号に応じて、処理速度及びディスクの回転速度を切り換える。

【0027】図2は、前記データ処理回路6を概略的に示すものである。前記データスライス回路4から供給されたEFM信号は、EFM復調器61に供給され復調される。このEFM復調器61の出力データはサブコード復調器62に供給されるとともに、制御部63に供給される。前記サブコード復調器62はパリティデータP、Qを含む32シンボルのワード成分とサブコードデータ成分とに分離する。前記制御部63にはRAM(Random Access Memory)64が接続されている。このRAM64には書き込み用のクロック信号CK1、及び読み出し用のクロック信号CK2が供給されている。これらクロック信号CK1、CK2はいずれも前記PLLクロック信号PLCKから生成されたクロック信号である。前記制御部63はクロック信号CK1によって前記EFM復調器61から出力されたデータをRAM64に書き込み、クロック信号CK2によってRAM64に書き込まれたデータを読み出す。したがって、EFM復調器61から出力されたデータに含まれるモータによる時間軸変動(ジッタ)が吸収される。

【0028】前記RAM64から読み出されたデータは誤り訂正部65に供給される。この誤り訂正部65は前記PLLクロック信号PLCKに従って、1フレーム当たり32シンボルのデータ成分に対して、パリティシンボルPに基づき、C1系列の誤り訂正処理を行う。さらに、24シンボルのデータ及び4シンボルのパリティシンボルQに対してデインターリーブ処理を施す。この後、パリティシンボルQに基づきC2系列の誤り訂正処理を行うことによりCIRCを復号する。この誤り訂正処理の結果に基づき、訂正不能なデータについては例えば平均値を補正し、16ビットのデジタルデータとして出力する。オーディオ用CD再生装置の場合、前記16ビットのデジタルデータは図示せぬD/A変換器へ供給され、アナログ信号に変換される。このD/A変換器の出力信号は、図示せぬローパスフィルタへ供給され、このローパスフィルタからオーディオ信号が出力される。

【0029】図3は、前記データスライス回路4の一例を示すものである。このデータスライス回路4において、前記アンプ3から出力されたRF信号(図にはRFと記す)は比較器10の非反転入力端に供給され、基準電圧Vrefは比較器10の反転入力端に供給される。この比較器10はRF信号と基準電圧Vrefとを比較し、RF信号を“0”又は“1”の2値データに変換する。比較器10の出力端はアップダウンカウンタ11に接続されている。アップダウンカウンタ11には、カウント用のクロック信号CKが供給されている。このアップダウンカウンタ11は、比較器10から出力されるデータ“0”の期間とデータ“1”の期間に応じて、前記クロック信号CKをカウントし、その期間の差分データを出力する。すなわち、このアップダウンカウンタ11は、比較器10からデータ“0”が供給された場合、前記ク

11

ロック信号CKをダウンカウントし、比較器10からデータ“1”が供給された場合、前記クロック信号CKをアップカウントする。したがって、このアップダウンカウンタ11からは、データ“0”の期間とデータ“1”の期間の差分データが出力される。この差分データはD/A変換器12に供給され、このD/A変換器12は差分データをアナログ電圧に変換する。このアナログ電圧は前記基準電圧Vrefとして比較器10にフィードバックされる。このフィードバックにより、比較器10から出力されるデータ“0”の期間とデータ“1”の期間が等しくなるように制御される。このデータ“0”及びデータ“1”はEFM信号を構成する。

【0030】前記アップダウンカウンタ11に供給されるクロック信号CKは、前記基準電圧Vrefの制御帯域が最適になる周波数を有し、前記PLLクロック信号PLCKを分周器13で1/Nに分周した信号である。このクロック信号CKは、前記PLL回路5がEFM信号にロックしていれば、周波数が再生速度に比例して変化する。このため、データスライス回路4の基準電圧Vrefの制御帯域は再生速度に定常して制御される。

【0031】すなわち、再生速度が速くなると、PLL回路5が追従し、PLLクロック信号PLCKの周波数は高くなる。これと共に、アップダウンカウンタ11のクロック信号CKも高くなるため、カウント結果の変化が速くなり、アップダウンカウンタ11の伝達利得が大きくなる。したがって、フィードバックループにおいて、開ループ利得が大きくなり、制御帯域は高くなる。逆に、再生速度が遅くなると、PLLクロック信号PLCKの周波数は低くなり、制御帯域は低くなる。

【0032】上記実施例によれば、前記データ処理回路6において、制御部63は、PLLクロック信号PLCKから生成されたクロック信号CK1によって、EFM復調器61の出力データをRAM64に書き込み、PLLクロック信号PLCKから生成された別のクロック信号CK2によって、RAM64から前記出力データを読み出ししている。さらに、誤り訂正部65はPLLクロック信号PLCKに応じて、誤り訂正処理を行っている。したがって、再生速度が変化した場合においても、即座にデータを出力できる。

【0033】すなわち、図4(a)に示すように、角速度が約500rpmで回転されたディスクの内周をアクセスした後、角速度が約200rpmで回転されるディスクの外周をアクセスする場合において、時間t1の間において、ピックアップ2をディスクの内周から外周に移動したと仮定する。この場合、図4(b)に示すように、時間t1が経過した時点において、線速度は500/200=2.5倍となっている。

【0034】従来のディスク再生装置において、データ処理回路はRAMにデータを書き込む場合、PLLクロック信号PLCKを使用し、RAMからデータを読み出

12

す場合、水晶系の基準クロック信号XCLKを使用している。さらに、誤り訂正部も水晶系の基準クロック信号XCLKを使用している。このため、図4(c)に示すように、線速度が1倍速となるまでの期間は、安定してデータを再生できないため、再生が中断される。

【0035】これに対して、この実施例の場合、PLLクロック信号PLCKは再生速度に同期している。このため、時間t1を経過した時点で、安定してデータを再生できるため、図4(d)に示すように、確実にデータを出力することができる。したがって、アクセス後、データの出力を再開するまでの時間を短縮できる。

【0036】しかも、データスライス回路4は、PLLクロック信号PLCKに応じて、基準電圧Vrefの制御帯域を制御しているため、再生速度に合わせた最適な制御帯域を確保できる。したがって、全ての再生速度に対して同じ性能を確保できる。

【0037】図5は、データスライス回路4の他の例を示すものであり、図3と同一部分には同一符号を付し、異なる部分についてのみ説明する。

【0038】図3に示すデータスライス回路は、分周器13の出力信号をアップダウンカウンタ11のクロック信号CKとした。この例は、分周器13に加えて、分周器15、スイッチ16をさらに有している。前記分周器13は前述したように、PLLクロック信号PLCKを1/Nに分周し、PLL系のクロック信号CKを生成する。前記分周器15はシステム基準クロック信号XCKを1/Mに分周し、周波数が固定された水晶系のクロック信号CKを生成する。スイッチ16は、例えばデータ処理回路6から出力されるロック/アンロック信号(LS/ULS)に応じて、前記分周器13から出力されるクロック信号CK、及び前記分周器15から出力されるクロック信号CKのいずれか一方を選択し、アップダウンカウンタ11に供給する。

【0039】すなわち、PLL回路5がロックしている場合、データ処理回路6において、24ビットのフレーム同期信号が7.35kHz毎に検出され、ロックしていない場合、この信号の検出周期が変化する。PLL回路5がロックしている場合、前記スイッチ16は、前記分周器13から出力されるPLL系のクロック信号CKを選択し、PLL回路5がロックしていない場合、前記スイッチ16は、前記分周器15から出力される水晶系のクロック信号CKを選択する。水晶系のクロック信号CKの周波数は、再生速度がその変化範囲の中心の時、制御帯域が最適となる周波数に設定されている。したがって、何らかの要因でPLL回路5の引き込みが遅れた場合、データスライス回路4の制御帯域が最適値から大きくずれることを防止できる。前記スイッチ16の切換え条件は、PLL回路5が完全にロック状態、又はアンロック状態の場合に限らず、ロック状態、又はアンロック状態から若干ずれた範囲において切り換えてもよい。

13

前記スイッチ16の切換え条件をまとめると次のようになる。

【0040】(1) PLL回路がロック状態ではPLL系のクロック信号CKを選択し、アンロック状態では水晶系のクロック信号CKを選択する。

【0041】(2) PLL回路で生成されるクロック信号の周波数がEFM信号に対して $\pm d\%$ の周波数の範囲に入れば、PLL系のクロック信号CKを選択し、その周波数の範囲外の場合、水晶系のクロック信号CKを選択する。周波数範囲 $d\%$ は予め定めておく。

【0042】なお、この発明は上記実施例に限定されるものではなく、発明の要旨を変えない範囲において、種々変形実施可能なことは勿論である。

【0043】

【発明の効果】以上、詳述したようにこの発明によれば、PLL回路により、データスライス回路から出力されるEFM信号に基づいて、データの再生速度に同期したクロック信号を生成し、データ処理回路はこのクロック信号を用いてEFM信号を復調し、この復調されたデータの時間軸の変動を除去している。したがって、データの再生速度を連続的に可変できる。しかも、データスライス回路はデータの再生速度に同期したクロック信号に基づいて、データをスライスするための基準電圧を生成しているため、この基準電圧の制御帯域を再生速度に

14

合わせて連続的に変化させることができる。したがって、再生速度を連続的に可変した場合においても、再生速度に対応して確実にデータをスライスでき、再生速度によって再生性能が変化することを防止できる。

【図面の簡単な説明】

【図1】この発明のディスク再生装置の実施例を示す構成図。

【図2】図1に示すデータ処理回路を概略的に示す構成図。

10 【図3】図1に示すデータスライス回路の一例を示す構成図。

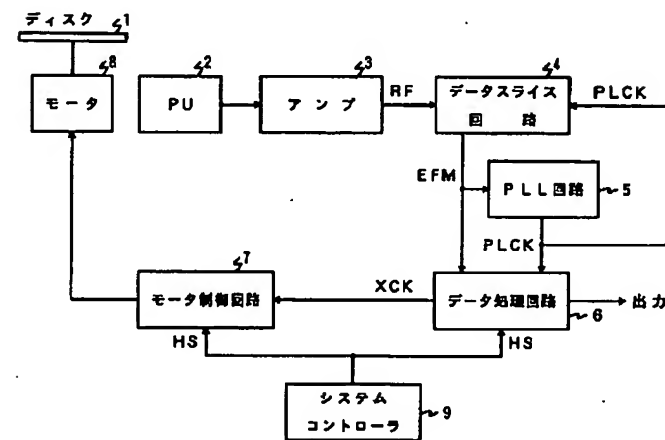
【図4】図4(a)(b)はこの発明の動作を示す図、図4(c)は従来の装置の動作を示す図、図4(d)はこの発明の動作を示す図。

【図5】図1に示すデータスライス回路の他の例を示す構成図。

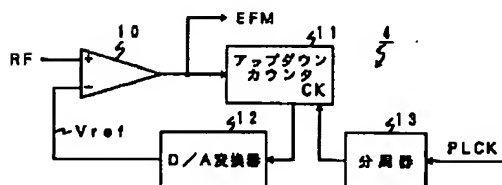
【符号の説明】

1…ディスク、2…光学式ピックアップ、3…アンプ、4…データスライス回路、5…PLL回路、6…データ処理回路、7…モータ制御回路、10…比較器、11…アップダウンカウンタ、12…D/A変換器、13、15…分周器、16…スイッチ、61…EFM復調器、62…サブコード復調器、63…制御部、64…RAM、65…誤り訂正部。

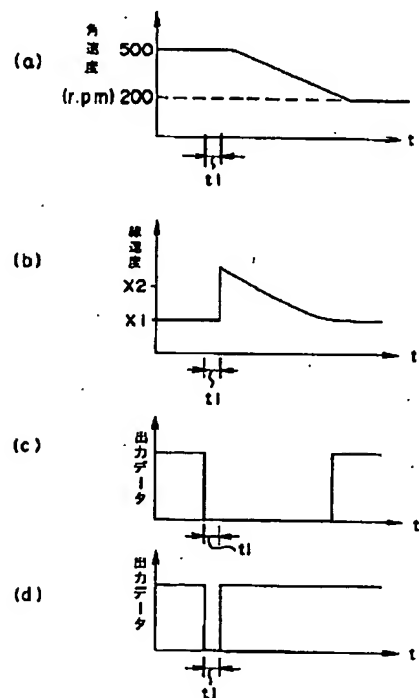
【図1】



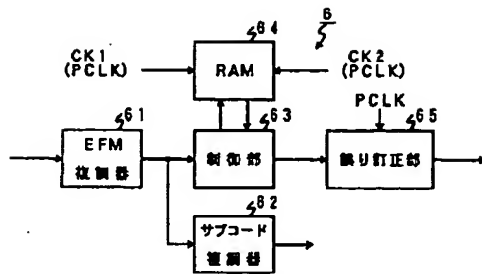
【図3】



【図4】



【図2】



【図5】

